OIPE JC168 JUN 08 2001 PATENT & TRADEMARK OFFICE

I hereby certify that this correspondence is being deposited with the United States Postal Service as first class mail in an envelope addressed to:

On June 5, 2001.

TOWNSEND and TOWNSEND and CREW LLP

By: Jay Lucas

PATENT
Attorney Docket No.: 16869P-015900
Ref. No. 349901590US1

RECEIVED
JUN 11 2001
Group 2100

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re application of:

Yasuhiro Teramoto

Application No.: 09/741,980

Filed: December 19, 2000

For: CACHE DIRECTORY CONFIGURATION METHOD AND INFORMATION PROCESSING DEVICE

Examiner: Violet McCoy

Art Unit: 2185

SUBMISSION OF PRIORITY DOCUMENT

Assistant Commissioner for Patents
Washington, D.C. 20231

Sir:

Enclosed for filing is a certified copy of Japanese Patent Application No. P2000-076699 filed January 25, 2000, from which priority is claimed in the above-mentioned patent application.

Respectfully submitted,

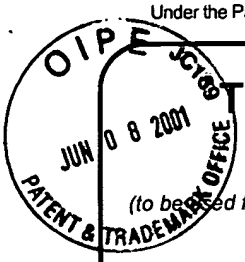
Robert C. Colwell
Reg. No. 27,431

TOWNSEND and TOWNSEND and CREW LLP
Two Embarcadero Center, 8th Floor
San Francisco, California 94111-3834
Tel.: (650) 326-2400
Fax: (650) 326-2422
RCC:afl
PA 3114874 v1

2185
#3

Please type a plus sign (+) inside this box → [+]

PTO/SB/21 (08-00)
Approved for use through 10/31/2002. OMB 0651-0031
U.S. Patent and Trademark Office: U.S. DEPARTMENT OF COMMERCE
Under the Paperwork Reduction Act of 1995, no persons are required to respond to a collection of information unless it displays a valid OMB control number.



TRANSMITTAL FORM

(to be used for all correspondence after initial filing)

Application Number	09/741,980
Filing Date	December 19, 2000
First Named Inventor	Yasuhiro Teramoto
Group Art Unit	2185
Examiner Name	Violet McCoy
Attorney Docket Number	16869P-015900

RECEIVED
JUN 11 2001
Group 2100

Total Number of Pages in This Submission: 28

ENCLOSURES *(check all that apply)*

- [] Fee Transmittal Form
 - [] Fee Attached
- [] Amendment / Response
 - [] After Final
 - [] Affidavits/declaration(s)
- [] Extension of Time Request
- [] Express Abandonment Request
- [] Information Disclosure Statement
- [x] Certified Copy of Priority Document(s)
- [] Response to Missing Parts/ Incomplete Application
 - [] Response to Missing Parts under 37 CFR 1.52 or 1.53
- [] Assignment Papers *(for an Application)*
- [] Drawing(s)
- [] Licensing-related Papers
- [] Petition Routing Slip (PTO/SB/69) and Accompanying Petition
- [] Petition to Convert to a Provisional Application
- [] Power of Attorney, Revocation Change of Correspondence Address
- [] Terminal Disclaimer
- [] Request for Refund
- [] CD, Number of CD(s)
- [] After Allowance Communication to Group
- [] Appeal Communication to Board of Appeals and Interferences
- [] Appeal Communication to Group *(Appeal Notice, Brief, Reply Brief)*
- [] Proprietary Information
- [] Status Letter
- [x] Other Enclosure(s) *(please identify below)*:
 - **1) Submission of Priority Document**
 - **2) Return Receipt Postcard**

Remarks: The Commissioner is authorized to charge any additional fees to Deposit Account 20-1430.

SIGNATURE OF APPLICANT, ATTORNEY, OR AGENT

Firm and Individual name	Townsend and Townsend and Crew LLP Robert C. Colwell Reg No. 27,431
Signature	Robert C Colwell
Date	June 5, 2001

CERTIFICATE OF MAILING

I hereby certify that this correspondence is being deposited with the United States Postal Service with sufficient postage as first class mail in an envelope addressed to: Assistant Commissioner for Patents, Washington, D.C. 20231 on this date: June 5, 2001

Typed or printed name	Ann Lincoln		
Signature	Ann Lincoln	Date	June 5, 2001

Burden Hour Statement: This form is estimated to take 0.2 hours to complete. Time will vary depending upon the needs of the individual case. Any comments on the amount of time you are required to complete this form should be send to the Chief Information Officer, U.S. Patent and Trademark Office, Washington, DC 20231. DO NOT SEND FEES OR COMPLETED FORMS TO THIS ADDRESS. SEND TO: Assistant Commissioner for Patents, Washington, DC 20231

PA 3149327 v1

OIPE JC1 JUN 08 2001 PATENT & TRADEMARK OFFICE

CERTIFIED COPY OF PRIORITY DOCUMENT

16269P-015000

RECEIVED
JUN 11 2001
Group 2100

日本国特許庁
PATENT OFFICE
JAPANESE GOVERNMENT

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。
This is to certify that the annexed is a true copy of the following application as filed with this Office.

出願年月日
Date of Application: ２０００年　３月１７日

出願番号
Application Number: 特願２０００－０７６６９９

願人
Applicant (s): 株式会社日立製作所

２０００年１１月　６日

特許庁長官
Commissioner,
Patent Office 及川耕造

【書類名】　特許願

【整理番号】　K9015901

【提出日】　平成12年 3月17日

【あて先】　特許庁長官　　殿

【国際特許分類】　G06K 12/08

【発明者】

【住所又は居所】　神奈川県秦野市堀山下１番地　株式会社　日立製作所
エンタープライズサーバ事業部内

【氏名】　寺本　康弘

【特許出願人】

【識別番号】　000005108

【氏名又は名称】　株式会社　日立製作所

【代表者】　庄山　悦彦

【代理人】

【識別番号】　100073760

【弁理士】

【氏名又は名称】　鈴木　　誠

【手数料の表示】

【予納台帳番号】　011800

【納付金額】　21,000円

【提出物件の目録】

【物件名】　明細書　1

【物件名】　図面　1

【物件名】　要約書　1

【プルーフの要否】　要

【書類名】　明細書

【発明の名称】　キャッシュディレクトリ構成方法および情報処理装置

【特許請求の範囲】

【請求項１】　複数の処理装置で主記憶装置を共有し、各処理装置が主記憶装置の一部の写しを保持するキャッシュ記憶部を具備する情報処理装置において、処理装置のキャッシュ記憶部と主記憶装置との間の一致を保証するための、処理装置のキャッシュ記憶部が保持するアドレスタグの写しを保持するキャッシュディレクトリの構成方法であって、

キャッシュディレクトリを複数に分割し、該分割した複数のキャッシュディレクトリを用いて、複数の検索要求を同時に処理可能としたことを特徴とするキャッシュディレクトリ構成方法。

【請求項２】　請求項１記載のキャッシュディレクトリ構成方法において、キャッシュディレクトリを構成する各エントリのアドレスタグを複数に分割し、検索要求に対して、該当エントリの分割したアドレスタグビット部分で不一致であれば、該検索処理を終了し、一致した場合に、該当エントリの分割した他のアドレスタグビット部分を検索することを特徴とするキャッシュディレクトリ構成方法。

【請求項３】　請求項１記載のキャッシュディレクトリ構成方法において、キャッシュディレクトリを複数の異ったエントリ群に分割し、該分割した各エントリ群を独立に動作可能としたことを特徴とするキャッシュディレクトリ構成方法。

【請求項４】　主記憶装置の一部の写しを保持するキャッシュ記憶部を各々内蔵する複数の処理装置と、

各々異なるアドレス空間を有して独立に並列動作が可能な複数バンク構成をとり、複数の処理装置で共有される主記憶装置と、

複数の処理装置のキャッシュ記憶部と主記憶装置との間の一致を保証するための、各処理装置のキャッシュ記憶部が保持するアドレスタグの写しを保持する複数のキャッシュディレクトリとして、各々、複数に分割された独立に並列動作が可能な構成のキャッシュディレクトリを備え、各キャッシュディレクトリに対し

、複数の検索要求を同時に処理するコヒーレンス制御装置と、
を具備することを特徴とする情報処理装置。

【発明の詳細な説明】

【０００１】

【発明の属する技術分野】

本発明は、複数の処理装置と該複数の処理装置が共有する主記憶装置からなる情報処理装置において、各処理装置が内蔵するキャッシュ記憶部と主記憶装置との間の一致（コヒーレンス）を保証するためのキャッシュディレクトリ構成方法およびそれを適用した情報処理装置に関する。

【０００２】

【従来の技術】

複数の処理装置で主記憶装置を共有し、各処理装置が各々主記憶装置の一部の写しを保持するキャッシュ記憶部を具備するマルチプロセッサ構成の情報処理装置においては、一般に各処理装置が内蔵するキャッシュ記憶部と主記憶装置との間の一致（コヒーレンス）を保証するためにコヒーレンス制御装置を備えている。コヒーレンス制御装置は、各処理装置ごとに、当該処理装置のキャッシュ記憶部が保持しているアドレスタグ（キャッシュタグ）のコピーであるキャッシュディレクトリを備え、他処理装置が主記憶装置に対し書込みを行った場合、該書込みを行った処理装置以外の処理装置のキャッシュディレクトリを検索し、もし書込みアドレスと一致するアドレスタグが登録されていれば、当該処理装置に対してキャッシュ記憶部の該当エントリの無効化を報告する。

【０００３】

図６に、従来のキャッシュディレクトリの構成例を示す。ここで、キャッシュディレクトリ６００は、一つの処理装置のキャッシュ記憶部が保持しているアドレスタグのコピーであり、コヒーレンス制御装置内には、該キャッシュディレクトリ６００が処理装置の数だけ存在する。処理装置が主記憶装置からキャッシュ記憶部へブロック転送を行い、新たにアドレスタグを登録する場合、キャッシュディレクトリインデックスインターフェース６０１を介し、リード／ライトポインタ６１１の指し示すキャッシュディレクトリ６００の該当エントリに、キャッ

シュディレクトリ登録アドレスインターフェース６０２を介し、同じアドレスタグを登録する。一方、他処理装置が主記憶装置に対して書き込みを行った場合、キャッシュディレクトリインデックスインターフェース６０１を介し、リード／ライトポインタ６１１の指し示すキャッシュディレクトリ６００の内容を読み出し、読出しレジスタ６１２に格納し、該読出しレジスタ６１２の内容とストアアドレスインターフェース６０３を介し格納されたストアアドレスレジスタ６１３の内容を比較器６１４で比較し、一致した場合、インターフェース６０４を介し、当該処理装置にキャッシュエントリの無効化を報告する。

【０００４】

【発明が解決しようとする課題】

複数の処理装置で共有される主記憶装置は、一般に各々異ったアドレス空間を有して独立に並列動作が可能なバンク構成をとり、処理装置との間で高いスループットを有しており、近年のさらなる高速化の要求に伴い、キャッシュディレクトリも主記憶装置と同等のスループットを持つことが必要となってきている。しかし、図６に示したような従来のキャッシュディレクトリ構成では、キャッシュディレクトリの読出しパスは１本しか存在しないので、キャッシュディレクトリの検索性能は１であり、スループットの向上は期待できない。

【０００５】

キャッシュディレクトリ検索性能を２倍にするためには、図７に示すように、図６のキャッシュディレクトリ６００と同じ内容を登録しているキャッシュディレクトリ７００をもう一つ用意することが考えられる。処理装置が主記憶装置からキャッシュ記憶部へブロック転送を行い、新たにアドレスタグを登録する場合、キャッシュディレクトリインデックスインターフェース７２１を介し、各々、リード／ライトポインタ６１１、７１１の指し示すキャッシュディレクトリ６００、７００の該当エントリに、キャッシュディレクトリ登録アドレスインターフェース７２２を介し、同じアドレスタグを登録する。一方、２つのキャッシュディレクトリ検索要求に対しては、各々独立に、キャッシュディレクトリインデックスインターフェース６０１、７０１を介し、リード／ライトポインタ６１１、７１１の指し示すキャッシュディレクトリ６００、７００の内容を読み出し、読

出しレジスタ６１２、７１２に格納し、これら読出しレジスタ６１２、７１２の内容とストアアドレスインターフェース６０３、７０３を介し格納されたストアアドレスレジスタ６１３、７１３の内容とを比較器６１４、７１４で比較し、比較結果をインターフェース６０４、７０４に出力する。

【０００６】

図７のキャッシュディレクトリ構成をとることにより、キャッシュディレクトリの検索性能は２倍になるが、キャッシュディレクトリの物量も２倍必要となる。しかも、これは各処理装置ごとに必要となる。

【０００７】

処理装置のキャッシュ記憶部はますます大容量の傾向にあり、高いキャッシュディレクトリの検索性を実現するためには、大きなハードウエア物理を投入する必要がある。かたや、キャッシュディレクトリのハードウエア物理は、昨今の大容量キャッシュ構成で複数の処理装置を接続する情報処理装置においては、無視できないものであり、ハードウエア物理を押さえて高いキャッシュディレクトリ検索性を実現する必要がある。

【０００８】

本発明の目的は、複数の処理装置のキャッシュ記憶部と主記憶装置との間の一致保証するためのキャッシュディレクトリのハードウェアの物量を抑え、かつ高いキャッシュディレクトリ検索性能を実現するキャッシュディレクトリ構成方法およびそれを適用した情報処理装置を提供することである。

【０００９】

【課題を解決するための手段】

本発明は、複数の処理装置のキャッシュ記憶部と主記憶装置間の一致を保証するための各処理装置のキャッシュ記憶部を保持するアドレスタグの写しである本来の各キャッシュディレクトリを、各々、複数に分割して独立に並列動作が可能な構成として、各キャッシュディレクトリに対し、複数の検索要求を同時に処理できるようにしたことである。これにより、キャッシュディレクトリのハードウエアの物理を抑え、従来より高いキャッシュディレクトリ検索性能が実現する。

【００１０】

【発明の実施の形態】

以下、本発明の一実施例を図面を用いて具体的に説明する。なお、実施例では処理装置は２つとするが、勿論、本発明はこれに限定されるものでないことは云うまでもない。

【００１１】

図１は、本発明の一実施例にかかる情報処理装置のシステム構成図である。本実施例の情報処理装置は、２台の処理装置１１０、１２０と、主記憶制御装置１３０と主記憶装置１４０とコヒーレンス制御装置１５０から構成される。各処理装置１１０、１２０は、各々主記憶装置１４０の一部の写し（コピー）を保持するキャッシュ記憶部１１１、１２１と該キャッシュ記憶部１１１、１２１に記憶されているブロックの主記憶領域のアドレスを保持するキャッシュタグ１１２、１２２を有する。さらに、各処理装置１１０、１２０のキャッシュ記憶部１１１、１２１と主記憶装置１４０間の一致（コヒーレンス）を保証するために、コヒーレンス制御装置１５０は、各処理装置１１０、１２０のキャッシュ記憶部１１１、１２１が保持しているキャッシュタグ１１２、１２２のコピーであるキャッシュディレクトリ１５１、１５２を備えている。各処理装置１１０、１２０は主記憶制御装置１３０との間をインターフェース１６１、１６２により接続され、主記憶制御装置１３０は、主記憶装置１４０、コヒーレンス制御装置１５０との間を各々インターフェース１７０、１８０により接続されている。コヒーレンス制御装置１５０は、各処理装置１１０、１２０との間をインターフェース１９１、１９２により接続されている。

【００１２】

処理装置１１０は、リード要求が発生すると、キャッシュ記憶部１１１を参照し、目的のデータがキャッシュ記憶部１１１に存在すれば、該キャッシュ記憶部１１１から直接目的のデータを読み出す。一方、目的のデータがキャッシュ記憶部１１１に存在しないと、処理装置１１０は、インターフェース１６１、主記憶制御装置１３０、インターフェース１７０を介して、目的のデータを含むブロックを主記憶装置１４０からキャッシュ記憶部１１１へ転送し、あらためてキャッシュ記憶部１１１から目的のデータを読み出すとともに、キャッシュ記憶部１１

１に格納した当該ブロックの主記憶領域のアドレス（アドレスタグ）をキャッシュタグ１１２に登録する。また、処理装置１１０は、ライト要求が発生すると、インターフェース１６１、主記憶制御装置１３０、インターフェース１７０を介して、主記憶装置１４０に書き込みを行うとともに、キャッシュ記憶部１１１に旧データが存在すれば、それを書き替える。処理装置１２０の動作も、この処理装置１１０の動作と同様である。

【００１３】

主記憶制御装置１３０は、各処理装置１１０、１２０からの主記憶アクセスのプライオリティをとり、インターフェース１７０を介し順次、主記憶装置１４０に対しアクセスを行なうと共に、インターフェース１８０を介し、コヒーレンス制御装置１５０に対して処理装置ＩＤを付加して主記憶アクセス情報を転送する。

【００１４】

主記憶装置１４０は、主記憶制御装置１３０からの主記憶アクセスに従い、所定領域に新しい内容の書き込み（ライト）を行い、また、所定領域から内容の読み出し（リード）を行なう。主記憶装置１４０は、各々異ったアドレス空間を有し、独立に並列動作が可能なバンク構成をとる。

【００１５】

コヒーレンス制御装置１５０は、各処理装置１１０、１２０が持つキャッシュ記憶部１１１、１２１と主記憶装置１４０間の一致を保証するために、主記憶制御装置１３０から転送される各処理装置１１０、１２０の主記憶アクセス情報を常に監視し、各処理装置１１０、１２０のキャッシュ記憶部１１１、１２１が保持しているキャッシュタグ１１２、１２２のコピーであるキャッシュディレクトリ１５１、１５２を更新したり、検索する。具体的には、例えば、処理装置１１０が主記憶装置１４０からブロックを読み出し、キャッシュ記憶部１１１に格納し、キャッシュタグ１１２に新たにアドレスタグを登録する場合は、コヒーレンス制御装置１５０は、該処理装置１１０のキャッシュディレクトリ１５１に同じアドレスタグを登録する。また、他処理装置１２０が主記憶装置１７０に対し書込みを行なった場合には、コヒーレンス制御装置１５０は、該処理装置１２０以

外の処理装置１１０のキャッシュディレクトリ１５１を検索し、もし書込みのアドレスと一致するアドレスタグが、処理装置１１０内のキャッシュ記憶部１１１のキャッシュタグ１１２に登録されていることが判明したならば、そのキャッシュエントリを無効化する要求を処理装置１１０に対しインターフェース１９１を介して行なう。処理装置１２０に対応するキャッシュディレクトリ１５２の更新、検索についても同様である。

【００１６】

キャッシュディレクトリにより、各処理装置内のキャッシュ記憶部と主記憶装置との間の一致が常に保証されていることとなり、ソフトウェアはコヒーレンス制御に関する処理を行なわず、高速にマルチプロセッサでの処理が可能となる。本発明は、このキャッシュディレクトリの構成に関する。

【００１７】

図２は、本発明の一実施例のキャッシュディレクトリ周辺の構成図であり、便宜上、図２は処理装置１１０のキャッシュ記憶部が保持するキャッシュタグ１１２のコピーであるキャッシュディレクトリ１５１に対応するとする。本実施例のキャッシュディレクトリ周辺は、キャッシュディレクトリ２１０、２２０と、キャッシュディレクトリ２１０、２２０のリード／ライトポインタ２１１、２２１と、読出しレジスタ２１２、２２２と、ストアアドレスレジスタ２１３、２２３と、比較器２１４、２２４と、比較結果ディレイヤ２１５、２２５と、アンド回路２１６、２２６と、インデックスディレイヤ２１７、２２７と、ストアアドレスディレイヤ２１８、２２８と、インデックスのセレクタ２１９－１、２２９－１と、ストアアドレスのセレクタ２１９－２、２２９－２などから構成される。２０１と２０２は主記憶ストアアクセス情報のキャッシュディレクトリインデックスインターフェース、２０３と２０４は主記憶ストアアクセス情報のストアアドレスインターフェース、２０５は主記憶リードアクセス情報のキャッシュディレクトリインデックスインターフェース、２０６は主記憶リードアクセス情報のアドレスタグインターフェースである。

【００１８】

キャッシュディレクトリ２１０、２２０は、一つの処理装置（ここでは、処理

装置１１０）のキャッシュ記憶部が保持するキャッシュタグの写しを保持するものである。ただし、本実施例では、キャッシュタグを構成する各エントリのアドレスタグの全ビットを論理的に半分に分割し、キャッシュディレクトリ２１０とキャッシュディレクトリ２２０に各々登録する。すなわち、キャッシュディレクトリ２１０とキャッシュディレクトリ２２０は同じ内容を登録しているわけではなく、アドレスタグとして必要な全ビットの半分ずつを記憶している。

【００１９】

キャッシュディレクトリ２１０、２２０のリード／ライトポインタ２１１、２２１は、各々キャッシュディレクトリ２１０、２２０の内容を読み書きするエントリのポインタである。読出しレジスタ２１２、２２２は、各リード／ライトポインタ２１１、２２１が指し示した個所のキャッシュディレクトリ２１０、２２０のエントリから読み出された内容を格納するレジスタである。ストアアドレスレジスタ２１３、２２３は、各キャッシュディレクトリ２１０、２２０の検索を行なうアドレス、すなわち、他処理装置が主記憶装置に対し行なった書込みのアドレスの半分ずつを格納するレジスタである。比較器２１４、２２４は、各々読出しレジスタ２１２、２２２とストアアドレスレジスタ２１３、２２３の内容を比較する論理である。比較結果ディレイヤ２１５、２２５は、比較器２１４、２２４の出力結果を一時的にディレイするものである。アンド回路２１６、２２６は、比較結果ディレヤと他方の比較結果との論理積をとるものであり、比較最終結果はインターフェース１９１により処理装置（ここでは、処理装置１１０）に報告される。このアンド回路２１６、２２６の結果がキャッシュディレクトリ２１０、２２０の該当エントリの全ビットを比較した最終結果となる。インデックスディレイヤ２１７、２２７は、各々、一方のキャッシュディレクトリの内容と一致した場合に反対のキャッシュディレクトリの内容を検索するためのインデックスの一時的なディレイヤである。同様に、ストアアドレスディレイヤ２１８、２２８は、各々、一方のキャッシュディレクトリの内容と一致した場合に反対のキャッシュディレクトリの内容を検索するためのストアアドレスの一時的なディレイヤである。セレクタ２１９－１、２２９－１は、リード／ライトポインタ２１１、２２１へ送る内容（キャッシュディレクトリインデックス）を通常のパス

かディレイヤのパスかに切り替えるためのセレクタである。セレクタ２１９－２、２２９－２は、各々ストアアドレスレジスタ２１３、２２３へ送る内容（ストアアドレスの半分）を通常のパスかディレイヤのパスかに切り替えるためのセレクタである。

【００２０】

図３は、キャッシュディレクトリ２１０、２２０に分割して登録されるアドレスタグの具体的イメージを説明する図である。キャッシュディレクトリ２００は本来キャッシュディレクトリとして必要な全ての情報を有している。すなわち、キャッシュディレクトリ２００内の任意のエントリ２００１は、当該処理装置のアドレス記憶部が保持するキャッシュタグ内の１つのアドレスタグのコピーであり、ここでは２０ビットの情報を有しているとする。本実施例では、このキャッシュディレクトリ２００の各エントリを構成するビット（アドレスタグ）を、奇数ビットと偶数ビットで２つに分けて、各々、キャッシュディレクトリ２１０とキャッシュディレクトリ２２０としている。すなわち、一方のキャッシュディレクトリ２１０内の該当するエントリ２１０１は、キャッシュディレクトリ２００内のエントリ２００１の情報のうち偶数ビットのみを有し、他方のキャッシュディレクトリ２２０内の同じく該当するエントリ２２０１は、キャッシュディレクトリ２００内のエントリ２００１の情報のうち奇数ビットのみを有するようにする。これにより、キャッシュディレクトリのハードウェア物量は同じで、お互いは本来のキャッシュディレクトリとして必要な半分の情報しか有していないが、お互いが独立に動作可能である利点をもつ。なお、図３では、アドレスタグを奇数ビットと偶数ビットに分けるとしたが、分け方は、アドレスタグの前半と後半、２ビットや３ビット単位など、どのように分けてもよい。

【００２１】

図１において、コヒーレンス制御装置１５０は、主記憶制御装置１３０から転送される処理装置１１０、１２０の主記憶リードアクセス情報、主記憶ストアアクセス情報をキューイングして、主記憶リードアクセス情報のキャッシュディレクトリインデックスとリードアドレスの組は自処理装置に対応するキャッシュディレクトリに送り、主記憶ストアアクセス情報のキャッシュディレクトリインデ

ックスとストアアドレスの組は他処理装置に対応するキャッシュディレクトリに送る。ここで、特に主記憶ストアアクセス情報のインデックスとストアアドレスの組については、複数の主記憶ストアアクセス情報がキューイングされている場合、２組のインデックスとストアアドレスを該当するキャッシュディレクトリに送る。キャッシュディレクトリは、この２組のインデックスとストアアドレスを同時に処理する。すなわち、実施例では、キャッシュディレクトリは最大で同時に２つの検索リクエストを処理し、二つのキャッシュディレクトリ１５１、１５２では、最大で同時に合計４つの検索リクエストを処理できる。

【００２２】

以下では、処理装置１１０側のキャッシュディレクトリ１５１であるキャッシュディレクトリ２１０、２２０に着目し、図２の動作について詳述する。

【００２３】

はじめ、キャッシュディレクトリ２１０、２２０を更新（登録）する動作について説明する。自処理装置１１０の主記憶リードアクセス情報のキャッシュディレクトリインデックス（以下、単にインデックスという）は、インターフェース２０５を介してリード／ライトポインタ２１１、２２１に格納され、主記憶リードアドレス（アドレスタグ）は、インターフェース２０６を介して、その半分（例えば偶数ビット）はキャッシュディレクトリ２１０に入力し、残りの半分（例えば奇数ビット）はキャッシュディレクトリ２２０に入力される。この結果、キャッシュディレクトリ２１０では、リード／ライトポインタ２１１が指し示すエントリにアドレスタグの半分が格納され、キャッシュディレクトリ２２０では、リード／ライトポインタ２２１が指し示す同じエントリにアドレスタグの残り半分が格納される。

【００２４】

次に、キャッシュディレクトリ２１０、２２０を検索する動作について説明する。通常、セレクタ２１９－１、２２９－１はインターフェース２０１、２０２を選択し、セレクタ２１９－２、２２９－２はインターフェース２０３、２０４を選択している。他処理装置１２０の主記憶ライトアクセス情報のインデックスはインターフェース２０１を介して与えられ、そのライトアドレスはインターフ

ェース２０３を介して与えられる。この時、さらに、他処理装置１２０の主記憶ライトアクセス情報が存在する場合、そのインデックスはインターフェース２０２を介して与えられ、ライトアドレスはインターフェース２０４を介して与えられる。以下では、インターフェース２０１、２０３のパスのインデックスとライトアドレスの組を例に動作を説明するが、インターフェース２０２、２０４のパスのインデックスとライトアドレスの組の動作も、検索するキャッシュディレクトリの関係が逆になるだけで基本的には同様である。

【００２５】

インターフェース２０１からのインデックスは、インデックスディレイヤ２２７に退避されると共に、セレクタ２１９－１を通過してリード／ライトポインタ２１１に格納される。この結果、キャッシュディレクトリ２１０において、リード／ライトポインタ２１１が指し示すエントリの内容（例えば、アドレスタグの偶数ビット）が読み出され、読出しレジスタ２１２に格納される。一方、インターフェース２０３からのストアアドレスは、その半分（例えば奇数ビット）がストアアドレスディレイヤ２２８に退避されると共に、その残りの半分（例えば偶数ビット）はセレクタ２１９－２を通過し、ストアアドレスレジスタ２１３に格納される。該ストアアドレスレジスタ２１３の内容と読出しレジスタ２１２の内容を比較器２１４で比較し、一致していなければ、当該ライトリクエストに対するキャッシュディレクトリの検索処理は終了する。

【００２６】

もし、一致していた場合には、この一致は図３のキャッシュディレクトリ２００のエントリの半分の内容との一致でしかないため、残りの半分との比較を行なうために、反対側のキャッシュディレクトリ２２０の検索を行なう。この場合、インターフェース２０２、２０４のパスに対するキャッシュディレクトリ２２０の検索終了をまって、比較器２１４の比較結果（論理１）を比較結果ディレイヤ２２５に設定すると共に、該比較結果の信号を受けて、反対側のセレクタ２２９－１とセレクタ２２９－２を切り替える。これにより、インデックスディレイヤ２２７に退避してあるインデックスがセレクタ２２９－１を通過し、リード／ライトポインタ２２１に格納され、キャッシュディレクトリ２２０において、該リ

ード／ライトポインタ２２１が指し示すエントリの内容（例えばアドレスタグの奇数ビット）が読み出され、読出しレジスタ２２２に格納される。さらに、ストアアドレスディレイヤ２２８に退避してあるストアアドレスの半分（例えば、奇数ビット）がセレクタ２２９－２を通過し、ストアアドレスレジスタ２２３に格納される。該ストアアドレスレジスタ２２３の内容と読出しレジスタ２２２の内容を比較器２２４で比較し、その比較結果と前記比較器２１４の比較結果を一時的に比較結果ディレイヤ２２５でディレイしたものと、アンド回路２２６で論理積をとる。この結果が図３のキャッシュディレクトリ２００の該当エントリの全ビットの比較した最終結果となる。この最終結果が真の時、ストアアドレスとキャッシュディレクトリの内容とが一致したということで、インターフェース１９１を介し、処理装置１１０に対してキャッシュ記憶部１１１の該当エントリの無効化を報告する。

【００２７】

本実施例は、キャッシュディレクトリの内容、すなわち、各処理装置がもつキャッシュのアドレスタグと、各処理装置が主記憶装置に対して行なう書込み動作において、お互いのアドレスが似ている場合には、同時に２つのキャッシュディレクトリ検索ができるが、処理に２サイクルかかるので、あまりメリットはない。しかし、今般の大容量の主記憶装置を備え、各処理装置がなるべく主記憶のアドレスを局所的に使用する場合においては、キャッシュディレクトリのアドレスタグの半分のビット比較でもストアアドレスとは不一致と判断できる場合が多く、コヒーレンス制御装置は、ほとんどの時間において、処理装置ごとに同時に２つのキャッシュディレクトリの検索リクエストを処理できるメリットがある。また、図１では、便宜上、処理装置は２台としたが、処理装置が３台以上になると、そのメリットはさらに向上する。

【００２８】

図４は、本発明の他の実施例のキャッシュディレクトリ周辺の構成図であり、図２と同様に、図１の処理装置１１０キャッシュ記憶部１１１が保持するキャッシュタグ１１１のコピーである一つのキャッシュディレクトリ１５１に対応するものである。本実施例のキャッシュディレクトリ周辺は、キャッシュディレクト

リ４１０、４２０と、各キャッシュディレクトリ４１０、４２０のリードライトポインタ４１１、４２１と、読出しレジスタ４１２、４２２と、ストアアドレスレジスタ４１３、４２３と、比較器４１４、４２４から構成される。４０１と４０２は主記憶リードアクセス情報や主記憶ストアアクセス情報のインデックスインターフェース、４０３と４０４は主記憶リードアクセス情報のリードアドレスインターフェース、４０５と４０６は主記憶ストアアクセス情報のアドレスインターフェースである。

【００２９】

キャッシュディレクトリ４１０、４２０は、一つの処理装置のキャッシュ記憶部が保持するキャッシュタグの写しである一つのキャッシュディレクトリ（ここでは、図１の１５１）に対応する。ただし、本実施例では、該キャッシュディレクトリのエントリを半分ずつに分割し、キャッシュディレクトリ４１０とキャッシュディレクトリ４２０に分割して登録することで、各キャッシュディレクトリ４１０、４２０を独立に動作可能なバンク構成として、キャッシュディレクトリの登録・検索性能を向上させるものである。すなわち、キャッシュディレクトリ４１０とキャッシュディレクトリ４２０は同じ内容を登録しているわけではなく、エントリ毎で半分ずつを記憶している。

【００３０】

キャッシュディレクトリ４１０、４２０のリード／ライトポインタ４１１、４２１は、キャッシュディレクトリ４１０、４２０の内容を読み書きする場合のポインタである。読出しレジスタ４１２、４２２は、キャッシュディレクトリ４１０、４２０のリード／ライトポインタ４１１、４２１が指し示した個所のエントリの内容を格納するレジスタである。ストアアドレスレジスタ４１３、４２３は、キャッシュディレクトリの検索を行なうアドレス、すなわち、他処理装置が主記憶装置に対し行なった書込みのアドレスを格納するレジスタである。比較器４１４、４２４各々読出しレジスタ４１２、４２２とストアアドレスレジスタ４１３、４２３の内容を比較する論理である。

【００３１】

図５は、キャッシュディレクトリ４１０、４２０に分割して登録するエントリ

の具体的イメージを説明する図である。キャッシュディレクトリ４００は本来キャッシュディレクトリとして必要な全ての情報を有している。ここでは、キャッシュディレクトリ４００は処理装置のキャッシュ記憶部が保持するキャッシュタグのコピーとして１０個のエントリを有している。先の実施例では、エントリのアドレスタグのビットにより分割したが、本実施例では、キャッシュディレクトリのエントリ４００を、奇数エントリと偶数エントリで２つに分けて、各々キャッシュディレクトリ４１０とキャッシュディレクトリ４２０としている。これにより、キャッシュディレクトリのハードウェア物量は同じで、お互いは本来のキャッシュディレクトリとして必要な半分のエントリしか有していないが、お互いが独立に動作可能である利点をもつ。なお、図５では、奇数エントリと偶数エントリで２つに分けたが、例えば前半エントリと後半エントリで分けることでもよい。

【００３２】

図４では、エントリによりキャッシュディレクトリを２つに分割しているため、キャッシュディレクトリの検索において、検索先のエントリが、例えば、一方が奇数エントリで他方が偶数エントリと異なれば、２つのキャッシュディレクトリ検索リクエストを、キャッシュディレクトリ４１０とキャッシュディレクトリ４２０で同時に処理することが可能であり、分割する前の構成と比較し、キャッシュディレクトリの物量は同じながらキャッシュディレクトリの検索性能は２倍得ることができる。さらに、キャッシュディレクトリの登録においても、登録先のエントリが同様に異なれば、２つのキャッシュディレクトリ登録リクエストをキャッシュディレクトリ４１０とキャッシュディレクトリ４２０で同時に処理することが可能である。また、検索先のエントリと登録先のエントリが異なれば、キャッシュディレクトリ検索リクエストとキャッシュディレクトリ登録リクエストを同時に処理することも可能である。図４の動作は、お互いが独立に動作可能なメモリのバンク構成の動作と基本的に同様であるため省略する。

【００３３】

以上、図２や図４では、キャッシュディレクトリを２つに分割するとしたが、これは単なる一実施例であり、勿論、原理的に３つあるいはそれ以上に分割して

もよいことは云うまでもない。

【００３４】

【発明の効果】

以上述べたように、本発明によれば、大容量のキャッシュ記憶部を備えた複数の処理装置が主記憶装置に接続されたマルチプロセッサシステムにおいて、ハードウェアによるキャッシュ一致保証を行うための装置として、複数処理装置のキャッシュ記憶部が保持するアドレスタグの写しであるキャッシュディレイクトリを用意するコヒーレンス制御装置を備える場合、キャッシュディレクトリの物量を抑え、かつ高いキャッシュディレクトリ検索性能を実現することが可能になる。

【図面の簡単な説明】

【図１】

本発明の一実施例の情報処理装置に係わる全体的ブロック図である。

【図２】

本発明の第１の実施例のキャッシュディレクトリ周辺のブロック図である。

【図３】

図２のキャッシュディレクトリのビット分割に関する説明図である。

【図４】

本発明の第２の実施例のキャッシュディレクトリ周辺のブロック図である。

【図５】

図４のキャッシュディレクトリのエントリ分割に関する説明図である。

【図６】

従来のコヒーレンス制御装置に係わる要部ブロック図である。

【図７】

キャッシュディレクトリをコピーで持つ場合の、従来のコヒーレンス制御装置に係わる要部ブロック図である。

【符号の説明】

１１０、１２０　処理装置

１１１、１２１　キャッシュ記憶部

１１２、１２２　キャッシュタグ

１３０　主記憶制御装置

１４０　主記憶装置

１５０　コヒーレンス制御装置

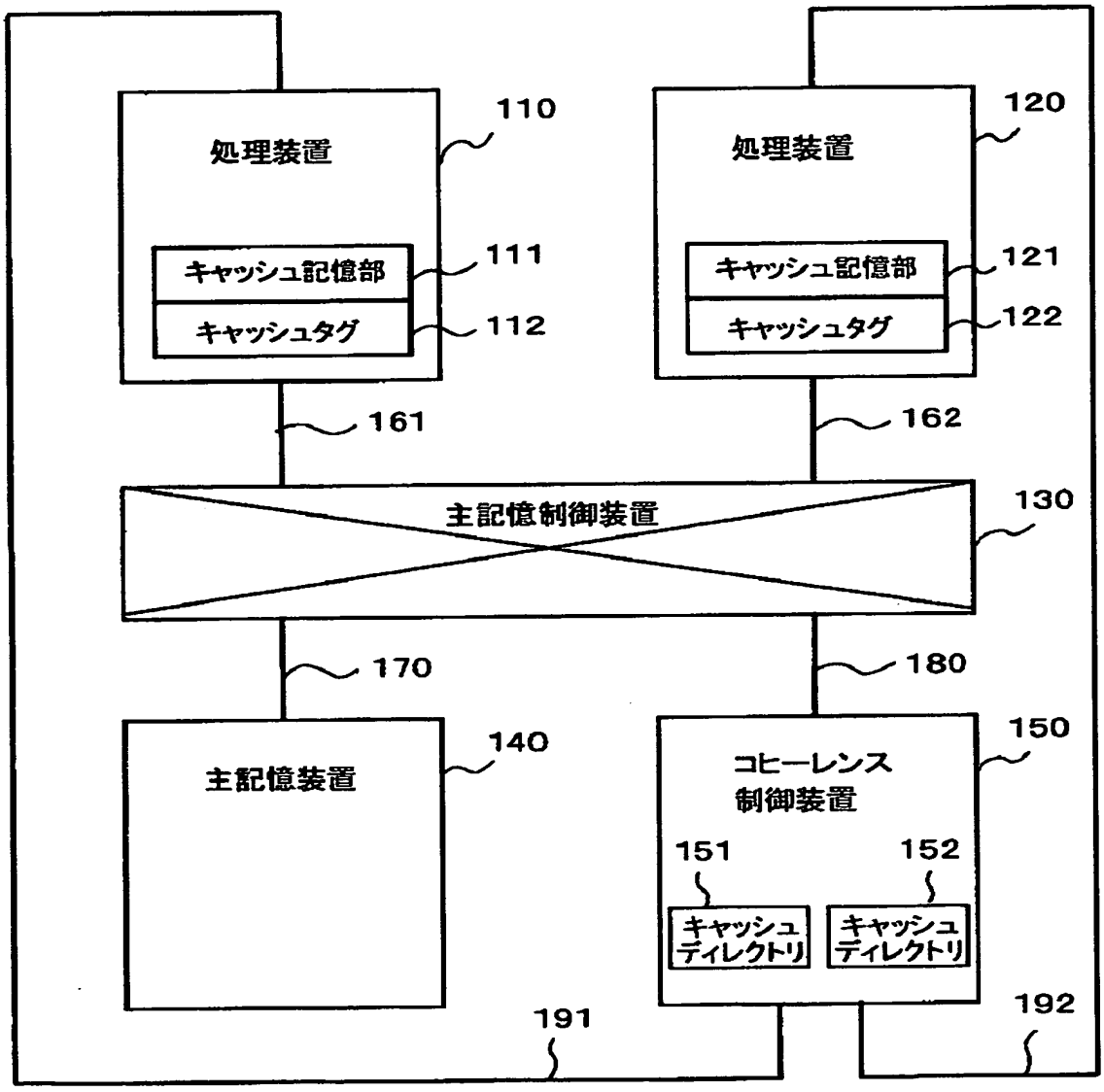
１５１、１５２　キャッシュディレクトリ

２１１、２２０　ビット分割のキャッシュディレクトリ

４１０、４２０　エントリ分割のキャッシュディレクトリ

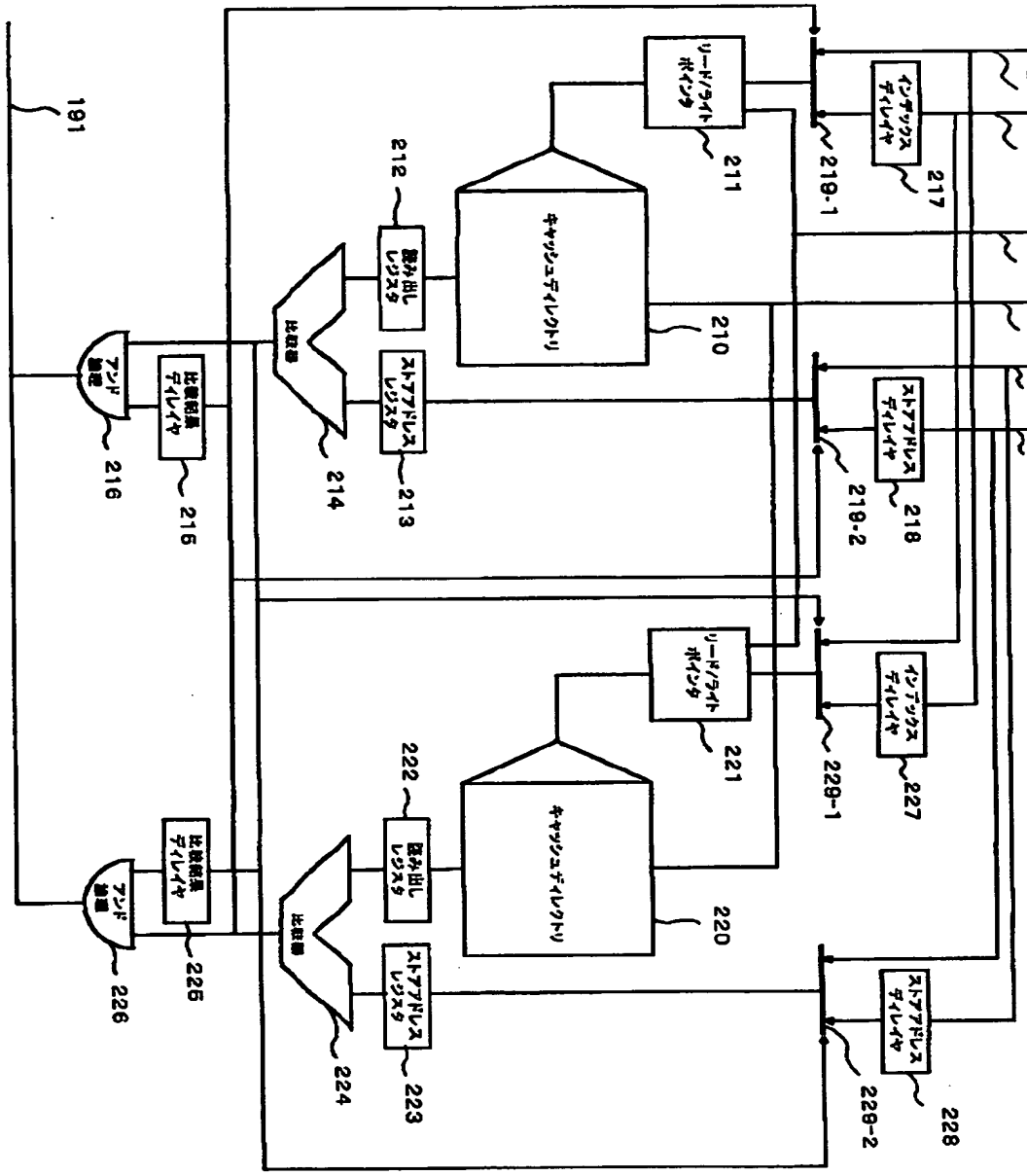
【書類名】　　図面

【図１】

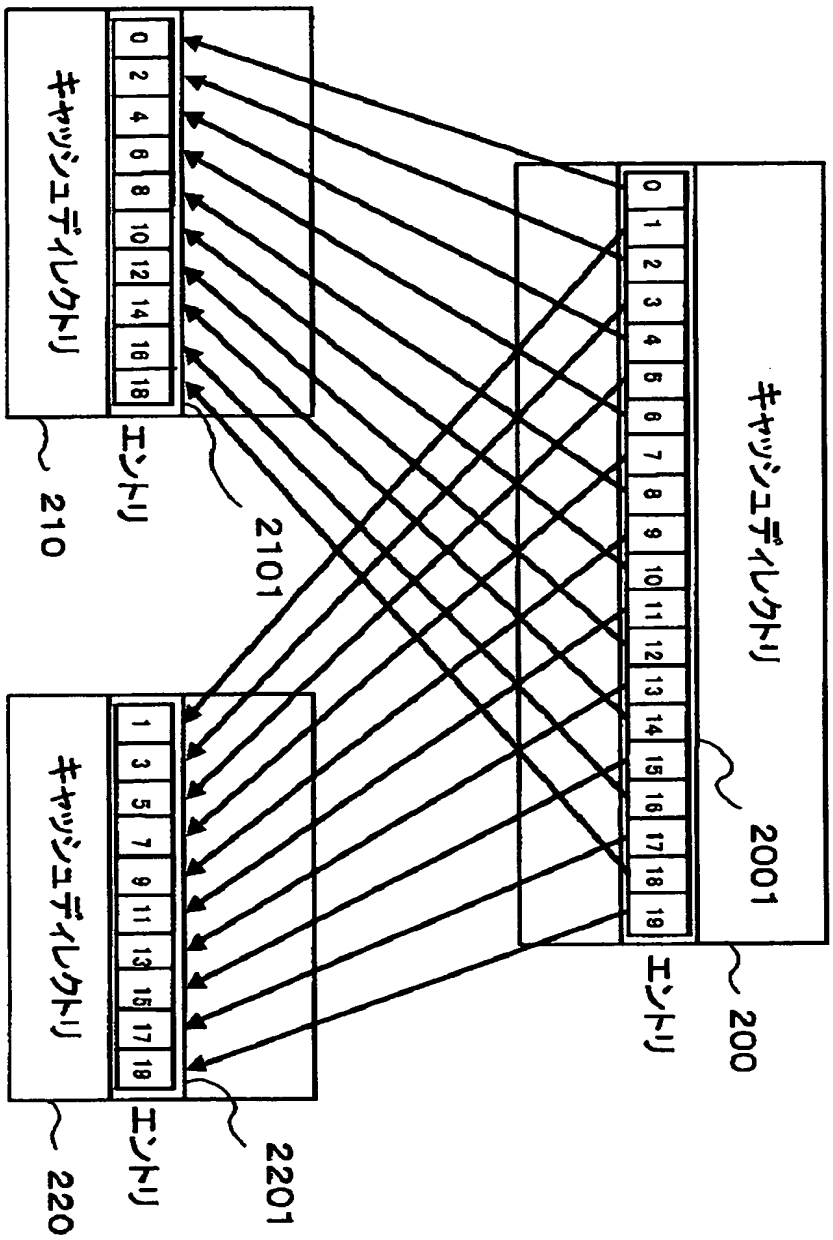


出証特２０００－３０９０５０４

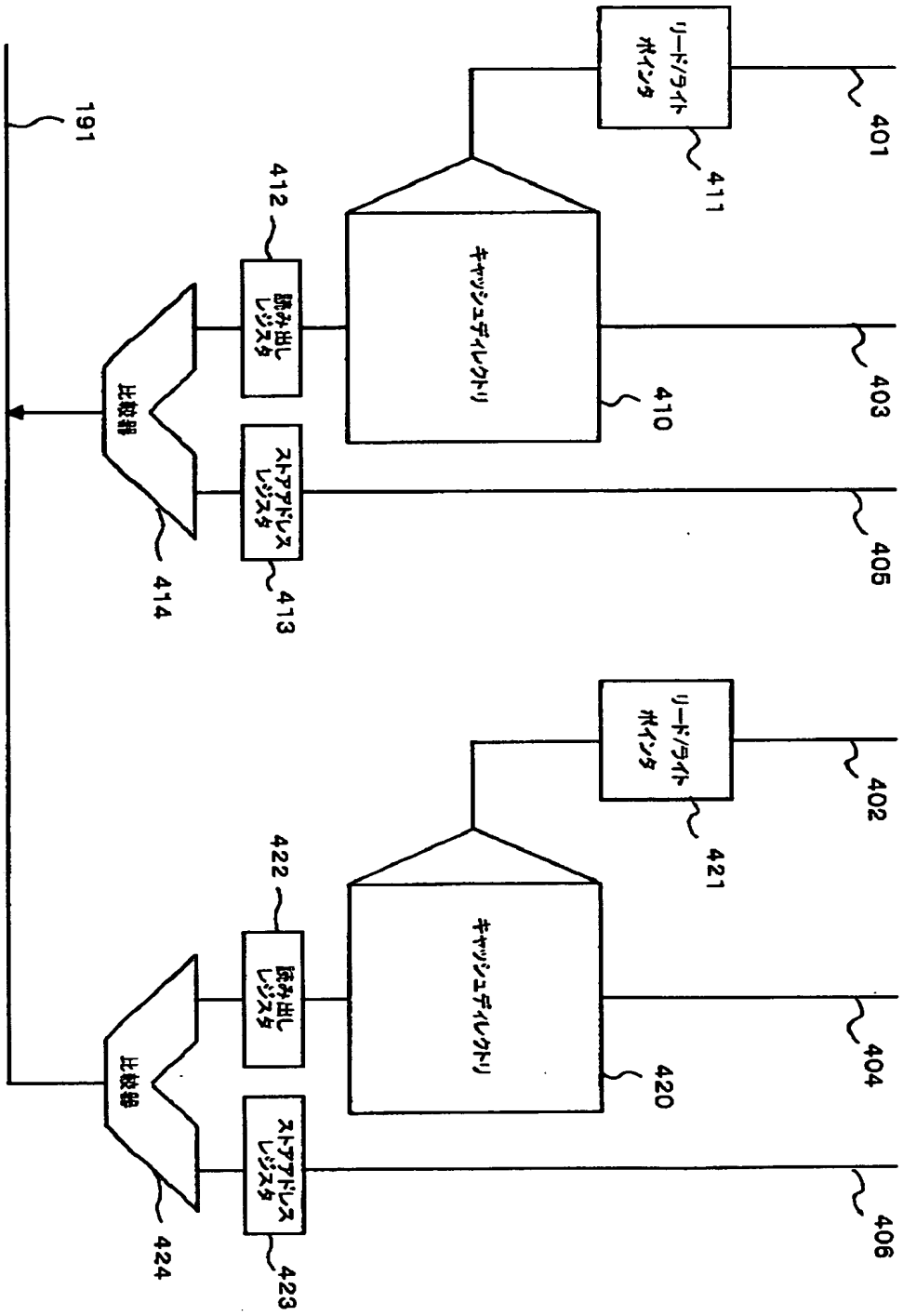
【図２】


191
201
202
205
206
203
204
217
218
227
228
219-1
219-2
229-1
229-2
211
210
212
213
214
216
215
221
220
222
223
224
226
225

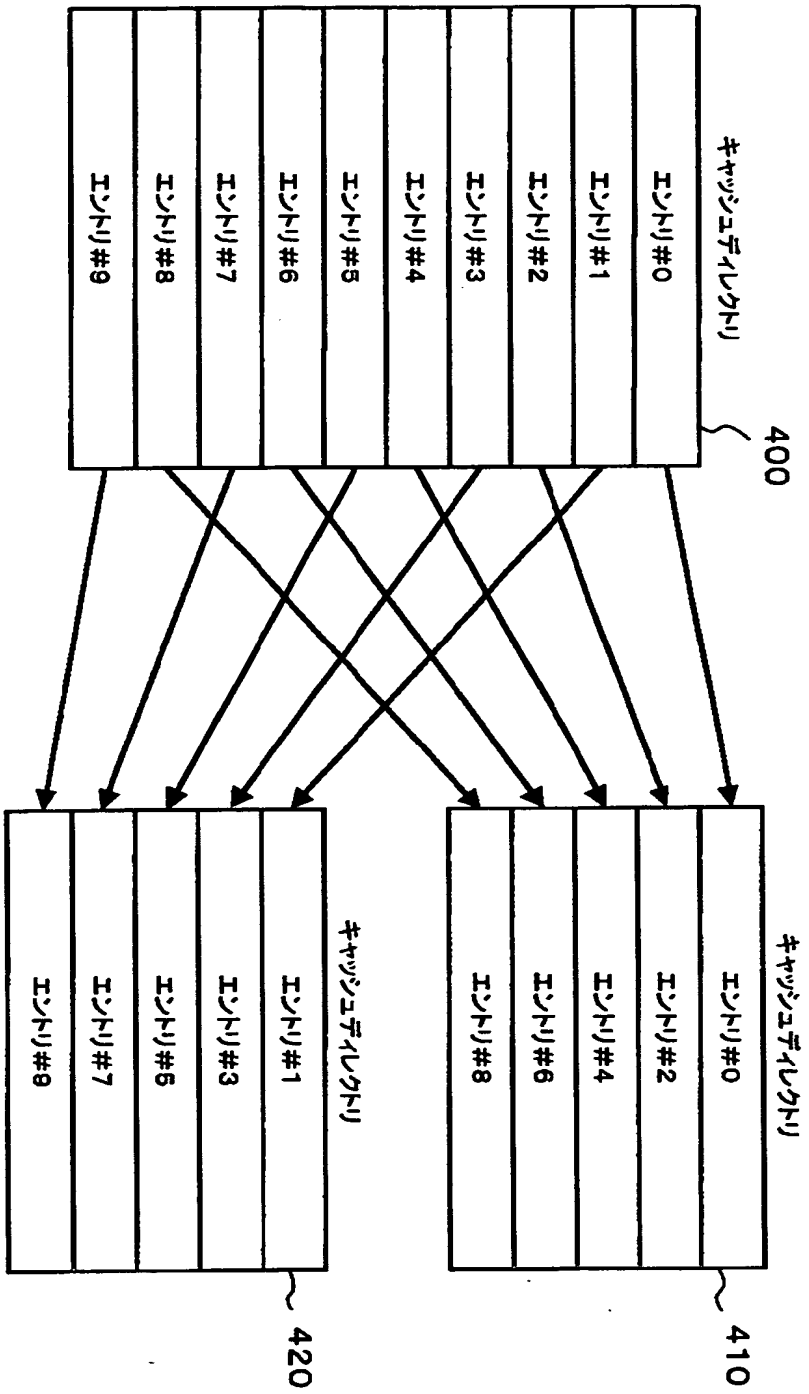
【図３】


キャッシュディレクトリ
エントリ
2001
200
キャッシュディレクトリ
エントリ
2101
210
キャッシュディレクトリ
エントリ
2201
220

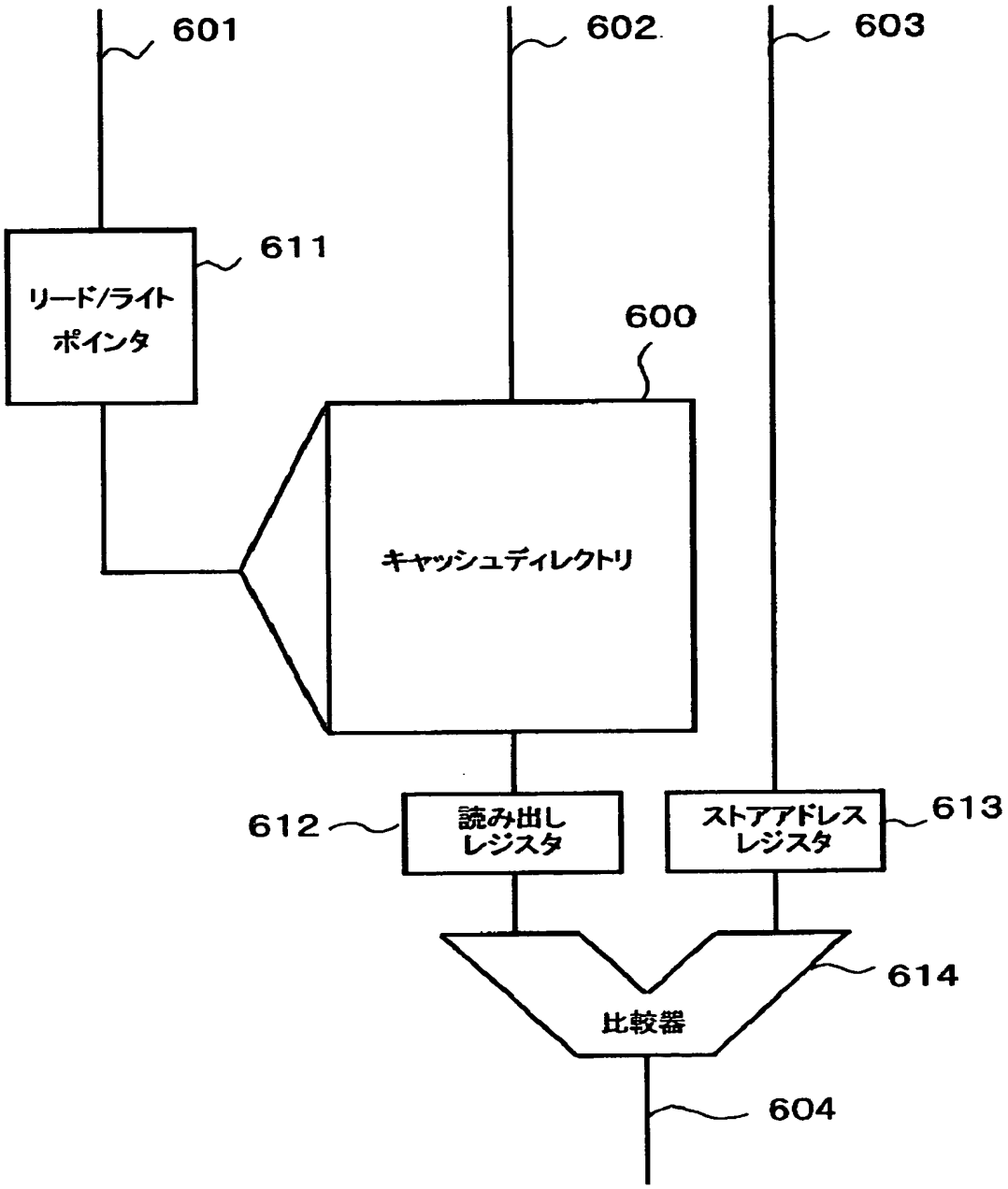
【図４】


191
401
411
リード/ライトポインタ
412
読み出しレジスタ
キャッシュディレクトリ
410
403
405
ストアアドレスレジスタ
413
比較器
414
402
421
リード/ライトポインタ
422
読み出しレジスタ
キャッシュディレクトリ
420
404
406
ストアアドレスレジスタ
423
比較器
424

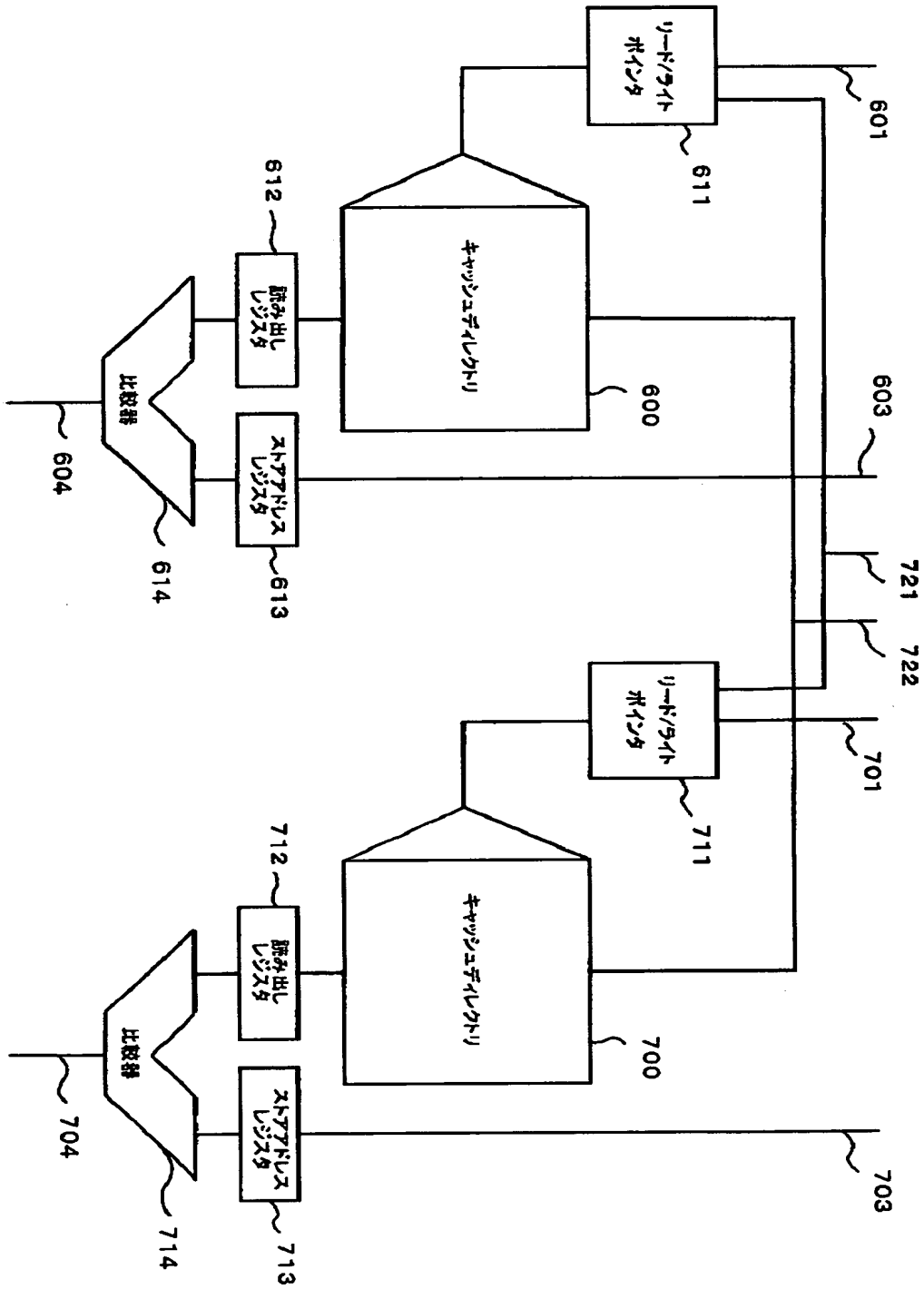
【図５】


キャッシュディレクトリ
エントリ#0
エントリ#1
エントリ#2
エントリ#3
エントリ#4
エントリ#5
エントリ#6
エントリ#7
エントリ#8
エントリ#9
400
キャッシュディレクトリ
エントリ#0
エントリ#2
エントリ#4
エントリ#6
エントリ#8
410
キャッシュディレクトリ
エントリ#1
エントリ#3
エントリ#5
エントリ#7
エントリ#9
420

【図６】


601
602
603
611
リード/ライト
ポインタ
600
キャッシュディレクトリ
612
読み出し
レジスタ
ストアアドレス
レジスタ
613
614
比較器
604

【図７】


リード/ライトポインタ
601
611
612
読み出しレジスタ
キャッシュディレクトリ
600
603
比較器
604
ストアアドレスレジスタ
613
614
721
722
リード/ライトポインタ
701
711
712
読み出しレジスタ
キャッシュディレクトリ
700
比較器
704
ストアアドレスレジスタ
703
713
714

【書類名】　　要約書

【要約】

【課題】　キャッシュ一致保証制御のためのキャッシュディレクトリのハードウエア物量を抑え、かつ、高いキャッシュディレクトリ検索性能を実現する。

【解決手段】　本来のキャッシュディレクトリ２００を構成する各エントリのアドレスタグを２分割して、各々独立に並列動作が可能なキャッシュディレクトリ２１０、２２０とする。キャッシュディレクトリ２１０、２２０を用いて、各々、検索要求を同時に処理し、不一致であれば、当該検索処理を終了し、一致した場合のみ、他のキャッシュディレクトリの検索を行う。各処理装置が主記憶のアドレスを局所的に使用する場合、一方のキャッシュディレクトリでほとんど不一致と判断されるため、キャッシュディレクトリの物量は従来のままで、従来より高いキャッシュディレクトリ検索性能が実現する。

【選択図】　　図３

出 願 人 履 歴 情 報

識別番号　〔０００００５１０８〕

１．変更年月日　１９９０年　８月３１日
［変更理由］　新規登録
住　所　東京都千代田区神田駿河台４丁目６番地
氏　名　株式会社日立製作所